

## SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent Number: JP60189972  
Publication date: 1985-09-27  
Inventor(s): TANIDA YUUJI; others: 02  
Applicant(s):: HITACHI SEISAKUSHO KK  
Requested Patent: JP60189972  
Application Number: JP19840045447 19840312  
Priority Number(s):  
IPC Classification: H01L29/78  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To enable the high-performance nonvolatile memory capable of high-speed program/erase to be obtained by using an insulation film having different tunnel barriers Eox and an insulation film whose value of Eox is between those of an SiO<sub>2</sub> film and an SiO<sub>3</sub>N<sub>4</sub> film.

**CONSTITUTION:** After an oxide film 2 is formed on the surface of a P type (100) Si substrate 1, the oxide film in a required part is removed, and a thin oxide-nitride film 4 is formed in an NH<sub>3</sub> atmosphere. An Si nitride film 5 is deposited by the method of vapor phase growth. Thereafter, polycrystalline Si 6 is deposited by the method of vapor phase growth and photoetched by leaving only the part to serve as the gate; then, source and drain N<sup>+</sup> diffused layers 7 are formed by implanting phosphorus ions through the nitride film, and the polycrystalline Si gate 6 is also doped. After deposition of a phospho-glass film 8 over the entire surface, heat treatment is carried out in a hydrogen atmosphere. Contact holes 9 are bored and Al wiring layers 10 are formed thereon in order to take electrical connection to the polycrystalline Si and the N<sup>+</sup> layers 7.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-189972

⑤ Int.Cl.<sup>4</sup>  
H 01 L 29/78

識別記号 庁内整理番号  
7514-5F

④ 公開 昭和60年(1985)9月27日

審査請求 未請求 発明の数 2 (全3頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑰ 特 願 昭59-45447

⑱ 出 願 昭59(1984)3月12日

⑲ 発 明 者 谷 田 雄 二 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑲ 発 明 者 南 真 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑲ 発 明 者 日 下 貞 久 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
㉑ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体装置およびその製造方法  
特許請求の範囲

1. MNOS(金属-窒化膜-酸化膜-半導体)型あるいはこれの変形に属する不揮発性メモリ素子において、酸化膜の領域を、二酸化硅素よりもバンドギャップが小さく、窒化硅素と同じか、又はこれよりもバンドギャップが大きい絶縁膜で形成したことを特徴とする半導体装置。
2. 酸化膜におきかえるべき絶縁膜の主たる構成元素が、少なくとも硅素、酸素、および窒素であることを特徴とする特許請求の範囲第1項記載の半導体装置。
3. 半導体基板上にNH<sub>3</sub>を含む雰囲気中で5nm以下の窒化硅素膜又は酸窒化硅素膜を形成する工程、引き続き気相成長法(CVD法)により窒化硅素膜を形成する工程、さらにゲート電極を形成する工程の少なくとも3つの工程を含むことを特徴とする半導体装置の製造方法。
4. NH<sub>3</sub>又はNH<sub>5</sub>を不活性ガスで希釈したガ

ス(1)、およびO<sub>2</sub>又はOの化合物ガス(2)(例えばCO<sub>2</sub>, NO<sub>2</sub>, N<sub>2</sub>O等)を含む雰囲気中、かつ、ガス(1)の割合をガス(2)の割合より大きくして、酸窒化膜を形成することを特徴とする特許請求の範囲第3項記載の半導体装置の製造方法。

発明の詳細な説明

〔発明の利用分野〕

本発明は半導体装置に係り、特に高性能の不揮発性メモリに好適な素子構造並びにその製造方法に関する。

〔発明の背景〕

従来、不揮発性メモリの分野において、高信頼性のメモリ素子として、いわゆるMNOS型素子が公知である。MNOS型素子は、第1図に示すように、半導体基板(Si-B)上に形成された薄いSiO<sub>2</sub>膜(SiO<sub>2</sub>)を通して電荷(C)が基板から窒化膜(Si<sub>3</sub>N<sub>4</sub>)中へ注入され捕獲されて、情報を保持する。この時、薄いSiO<sub>2</sub>を電荷が通過(トンネル現象による)する確率は、

$\text{SiO}_2$  の膜厚  $t_{\text{ox}}$  と障壁の高さ  $E_{\text{ox}}$  に依存する。したがって、電荷が通過する確率を大きくする(高速にプログラム/消去を行なう)ために従来は、 $t_{\text{ox}}$  を薄くしてきた。従来技術では、 $E_{\text{ox}}$  の異なる絶縁膜を用いて、かつ半導体との界面特性の良好な素子を得ることは困難であつた。また、 $t_{\text{ox}}$  の薄膜化にも限界があり、10Å以下の膜厚に制御することは困難であつた。

#### 〔発明の目的〕

本発明の目的は、このような従来技術の欠点を補い、高速にプログラム/消去できる高性能の不揮発性メモリを提供することにある。

#### 〔発明の概要〕

本発明の特徴は、従来技術では困難と考えられていたトンネル障壁  $E_{\text{ox}}$  の異なる絶縁膜を用いるところにあり、かつ、 $E_{\text{ox}}$  の値が  $\text{SiO}_2$  膜と  $\text{Si}_3\text{N}_4$  膜の間に存在する絶縁膜を用いるところにある。

#### 〔発明の実施例〕

以下、本発明の一実施例を第2図により説明す

る。

P型(100)シリコン基板1の表面に素子間分離のための酸化膜2を形成したのち、所定の部分の酸化膜を除去し、2nm程度の薄い酸化膜4を $\text{NH}_3$ 雰囲気中温度850℃で形成する。引き続き第2図(b)に示すように、気相成長法により、約0.5Torrの減圧下で $\text{SiH}_4$ 、 $\text{NH}_3$ 比1/17、温度770℃で約50nmのシリコン窒化膜5を堆積させた。この後気相成長法により625℃で多結晶シリコン6を400nm堆積させ、ゲートとなるべき部分のみを残して写真食刻したのち、リンイオンを窒化膜を通してエネルギー100keV、打込量 $1 \times 10^{14} \text{ cm}^{-2}$ で打込みソース、およびドレイン $n^+$ 拡散層7を形成するとともに多結晶シリコンゲート6にもドーピングした。この後、リンガラス膜8を全面に堆積させたのち、打込まれたリンイオンの活性化、およびリンガラス膜の緻密化および $\text{HNO}_3$ 素子の特性改善のため、水素雰囲気中で900℃で30分熱処理を施した。この後、第2図(c)に示すように、

コンタクト用の穴あけ9を行ない多結晶シリコンおよび $n^+$ 拡散層と電気的な接続をとるために、この上にAlによる配線層10を形成した。

この後の工程は、通常のMOSプロセスに従った。

第3図に、本発明により形成した $\text{HNO}_3$ (A)と、従来法による $\text{HNO}_3$ (B)の書き消去の特性を比較した。 $\text{Si}_3\text{N}_4$ 膜の膜厚はいずれも約30nmで、酸化膜および従来法の酸化膜は膜厚がそれぞれ約2nmである。プログラム/消去電圧は約±14Vである。これから分かるように、本発明によれば、従来法に比べ、約1桁の高速化が達成できた。

#### 〔発明の効果〕

本発明によれば、先に説明したように、 $E_{\text{ox}}$ の値を減少できるため、電荷のトンネル確率を大きくでき、したがってメモリ素子としてのプログラム/消去時間を短縮できる。具体的には $E_{\text{ox}}$ の値、電荷の種類(電子か正孔か)によるが、発明者らの検討結果では、適当な酸化膜を選ぶことにより、従来構造に比し、一桁以上の短縮化が可能と

なつた。

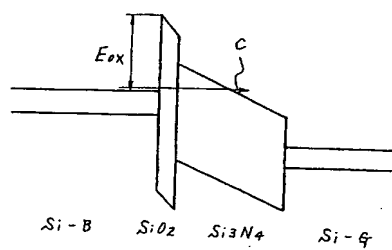
#### 図面の簡単な説明

第1図は、 $\text{HNO}_3$ のバンドダイヤグラムを示し、第2図は、本発明の実施例を示すための素子断面図、第3図は本発明はの一実施例になる装置と従来例の書き消去特性を示す特性曲線図である。

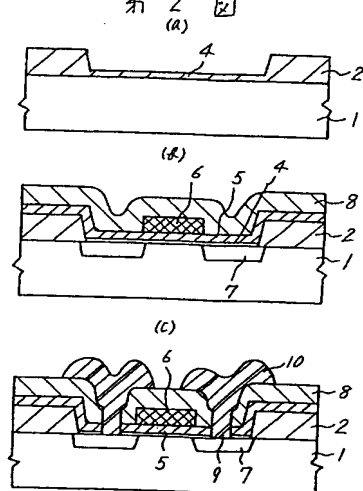
代理人 弁理士 高橋明



第1図



第2図



第3図

